

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-278474

(43)Date of publication of application : 16.11.1988

(51)Int.Cl.

H04N 5/335

(21)Application number : 62-112361

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 11.05.1987

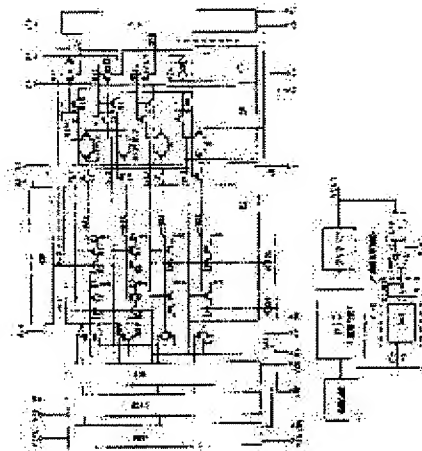
(72)Inventor : FURUICHI KAZUTERU
IZAWA TETSURO

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To eliminate excessive sensitivity control by affecting the decided result of an output signal corresponding to a sensitivity control quantity on the next sensitivity control operation, by forming the address designation information of a second scanning circuit by referring to the readout signal of a solid-state image pickup device and a reference signal corresponding to a prescribed diaphragm quantity.

CONSTITUTION: The sensitivity control operation in which the address designation information of the second scanning circuit 1TGE is formed by using the solid-state image pickup device MID including a first scanning circuit 1TG which outputs the signals of plural picture element cells arranged two-dimensionally by an interlace system in time series and the second scanning circuit 1TGE which performs a selection operation in a vertical scanning direction by the interlace system by an address independent from a selection address in the vertical scanning direction by the first scanning circuit 1TG, and referring to the readout signal of the solid-state image pickup device and the reference signal corresponding to the prescribed diaphragm quantity is performed at a rate of one time of operation per plural frames. In such a way, it is possible to affect the decided result of the output signal corresponding to the sensitivity control quantity on the next sensitivity control operation, and to prevent the sensitivity control from being performed excessively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭63-278474

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月16日

H 04 N 5/335

Q-8420-5C

審査請求 未請求 発明の数 1 (全11頁)

⑮ 発明の名称 撮像装置

⑯ 特 願 昭62-112361

⑰ 出 願 昭62(1987)5月11日

⑱ 発 明 者 古 市 和 照 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内
⑱ 発 明 者 伊 沢 哲 朗 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

撮像装置

2. 特許請求の範囲

1. 二次元状に配列された複数個の画素セルの信号をインタレース方式で時系列的に出力させる第1の走査回路と、上記第1の走査回路による垂直走査方向の選択アドレスと独立したアドレスによりインタレース方式での垂直走査方向の選択動作を行う第2の走査回路とを含む固体撮像装置と、上記固体撮像装置の読み出し信号を受けて、所定の感度量に対応した基準信号を参照して1ないし複数フレームに1回の割合で上記第2走査回路のアドレス指定情報を形成する感度設定回路とを具備することを特徴とする撮像装置。
2. 上記感度設定回路は、上記固体撮像装置からの読み出し信号を受けて直流化する平滑回路と、上記平滑回路の出力信号と所定の感度量に対応した基準信号とを受ける電圧比較回路と、上記

電圧比較回路によりアップ/ダウンの制御が行われ、上記1フレームないし複数フレームに1回の割合で発生するタイミング信号を受けて1ステップの計数動作を行うカウンタ回路と、このカウンタ回路の出力信号を受けて上記第2の走査回路の走査タイミングを指定するアドレス指定情報を形成する制御回路とを含むものであることを特徴とする特許請求の範囲第1項記載の撮像装置。

3. 上記固体撮像装置を構成する上記二次元状に配置される画素セルは、光電変換素子と垂直走査線にその制御端子が結合されるスイッチ素子及び水平走査線にその制御端子が結合されるスイッチ素子からなり、同じ行に配置された画素セルの出力ノードは共通の水平信号線に結合され、上記水平信号線はその制御端子が上記垂直走査線に結合される一対のスイッチ素子を介して一対の出力信号線に結合され、上記第1の走査回路を構成する垂直シフトレジスタと上記第2の走査回路を構成する垂直シフトレジスタは、

上記垂直走査線の両端に上記一対のスイッチ素子に対応してそれぞれ配置されるものであることを特徴とする特許請求の範囲第1又は第2項記載の撮像装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、撮像装置に関するもので、例えば、光電変換素子により形成される画素信号をMOSFET（絶縁ゲート形電界効果トランジスタ）を介して取り出し、その感度が可変にされる機能を持つ固体撮像装置を用いたものに利用して有効な技術に関するものである。

〔従来技術〕

従来より、フォトダイオードとスイッチMOSFETとの組み合わせからなる固体撮像装置が公知である。このような固体撮像装置に関しては、例えば特開昭56-152382号公報がある。上記固体撮像装置を利用した監視用又は家庭用等のテレビジョンカメラでは、光学レンズに自動絞り機構が設けられている。

駆動を行う第2の走査回路とを含む固体撮像装置を用いて、上記固体撮像装置の読み出し信号と所定の絞り量に対応した基準信号を参照して上記第2走査回路のアドレス指定情報を形成するという感度制御動作を1ないし複数フレームに1回の割合で行う。

〔作用〕

上記した手段によれば、感度設定動作が1ないし複数フレームに1回の割合で行われるため、感度制御量に応じた出力信号の判定結果を次の感度制御動作に反映させることができるから、感度制御が過剰に行われることを防止できる結果、安定した高精度の電子式自動絞り動作を実現できる。

〔実施例〕

第3図には、この発明に用いられる感度可変機能を持つTSL（Transversal Signal Line）方式の固体撮像装置の一実施例の要部回路図が示されている。同図の各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板

（発明が解決しようとする問題点）

上記自動絞り機構付のレンズは、比較的複雑な機械部品を必要とし、テレビジョンカメラにおけるレンズ部の大型化及び高コスト化の原因となっている。また、上記自動絞り機構は、比較的複雑な機械部品からなるため、機械的機構部分の摩耗による信頼性の点で問題がある。

この発明の目的は、安定で高精度の電子式の自動絞りを実現した撮像装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば、下記の通りである。すなわち、二次元状に配列された複数個の画素セルの信号をインタレース方式で時系列的に出力させる第1の走査回路と、上記第1の走査回路による垂直走査方向の選択アドレスと独立したアドレスによりインタレース方式での垂直走査方向の選

上において形成される。同図の主要なブロックは、実際の半導体集積回路装置における幾何学的な配置に合わせて描かれている。

画素アレイPDは、4行、2列分が代表として例示的に示されている。但し、図面が複雑化してしまうのを防ぐために、上記4行分のうち、2行分の画素セルに対してのみ回路記号が付加されている。1つの画素セルは、フォトダイオードD1と垂直走査線VL1にそのゲートが結合されたスイッチMOSFETQ1と、水平走査線HL1にそのゲートが結合されたスイッチMOSFETQ2の直列回路から構成される。上記フォトダイオードD1及びスイッチMOSFETQ1、Q2からなる画素セルと同じ行（水平方向）に配置される他の同様な画素セル（D2、Q3、Q4）等の出力ノードは、同図において横方向に延長される水平信号線HS1に結合される。他の行についても上記同様な画素セルが同様に結合される。

例示的に示されている水平走査線HL1は、同図において縦方向に延長され、同じ列に配置され

る画素セルのスイッチMOSFETQ2、Q6等のゲートに共通に結合される。他の列に配置される画素セルも上記同様に対応する水平走査線HL2等に結合される。

この実施例では、固体撮像装置に対して実質的な電子式の自動絞り機能を付加するため、言い換えるならば、フォトダイオードに対する実質的な蓄積時間を可変にするため、上記画素アレイを構成する水平信号線HS1ないしHS4等の両端に、それぞれスイッチMOSFETQ8、Q9及びQ26、Q28が設けられる。右端側に配置される上記スイッチMOSFETQ8、Q9は、上記水平信号線HS1、HS2をそれぞれ縦方向に延長される出力線VSに結合させる。この出力線VSは、端子Sに結合され、この端子Sを介して外部に設けられるプリアンプの入力に読み出し信号が伝えられる。また、左端側に配置される上記スイッチMOSFETQ26、Q28は、上記水平信号線HS1、HS2をそれぞれ縦方向に延長されるダミー（リセット）出力線DVSに結合させる。

水平信号線に蓄積される。そこでこの実施例では、上述のように水平帰線期間を利用して、全ての水平信号線HS1ないしHS4を上記所定のバイアス電圧にリセットするものである。これにより、選択される水平信号線に関しては、常に上記偽信号をリセットした状態から画素信号を取り出すものであるため、出力される画像信号に含まれる偽信号を大幅に低減できる。なお、上記偽信号（スメア、ブルーミング）に関しては、例えば、特開昭57-17276号公報に詳細に述べられている。

上記水平走査線HL1ないしHL2等には、水平シフトレジスタHSRにより形成された水平走査信号が供給される。

上記画素アレイPDにおける垂直選択動作（水平走査動作）を行う走査回路は、次の各回路により構成される。

この実施例では、上記画素アレイPDの水平信号線HS1ないしHS4等の両端に、一対のスイッチMOSFETQ8、Q9等及びスイッチMO

この出力線DVSは、特に制限されないが、端子RVに結合される。これによって必要なら上記ダミー出力線DVSの信号を外部端子RVから送出できるようにしている。

この実施例では、特に制限されないが、上記各行の水平信号線HS1ないしHS4には、端子RPから水平帰線期間において供給されるリセット信号によってオン状態にされるスイッチMOSFETQ27、Q29等が設けられる。これらのMOSFETQ27、Q29等のオン状態によって、外部端子RVから上記ダミー出力線DVSを介して一定のバイアス電圧（図示せず）が各水平信号線HS1ないしHS4に与えられる。上記のようなりセット用MOSFETQ27、Q29等が設けられる理由は、次の通りである。上記水平信号線HS1ないしHS4に結合されるスイッチMOSFETのドレイン等の半導体領域も感光性を持つことがあり、このような寄生フォトダイオードにより形成される偽信号（スメア、ブルーミング）が、非選択時にフローティング状態にされる

SFETQ26、Q28等が設けられることに対応して一対の走査回路が設けられる。

この実施例では、産業用途にも適用可能とするため、インタレースモードの他に選択的な2行同時走査、ノンインタレースモードでの走査を可能にしている。画素アレイPDの右側には、次のような走査回路が設けられる。垂直シフトレジスタVSRは、読み出し用に用いられる出力信号SV1、SV2等を形成する。これらの出力信号SV1、SV2等は、インタレースゲート回路ITG及び駆動回路VDを介して上記垂直走査線VL1ないしVL4及びスイッチMOSFETQ8、Q9等のゲートに供給される。

上記インタレースゲート回路ITGは、インタレースモードでの垂直選択動作（水平走査動作）を行うため、第1（奇数）フィールドでは、垂直走査線VL1ないしVL4には、隣接する垂直走査線VL1、VL2とVL3の組み合わせで同時選択される。すなわち、奇数フィールド信号FAによって制御されるスイッチMOSFETQ18

により、垂直シフトレジスタVSRの出力信号SV1は、水平信号線HS1を選択する垂直走査線VL1に出力される。同様に、信号FAによって制御されるスイッチMOSFETQ20とQ22によって、垂直シフトレジスタVSRの出力信号SV2は、水平信号線HS2とHS3を同時選択するよう垂直走査線VL2とVL3に出力される。以下同様な順序の組み合わせからなる一対の水平信号線の選択信号が形成される。

また、第2(偶数)フィールドでは、垂直走査線VL1ないしVL4には、隣接する垂直走査線VL1とVL2及びVL3とVL4の組み合わせで同時選択される。すなわち、偶数フィールド信号FBによって制御されるスイッチMOSFETQ19とQ21により、垂直シフトレジスタVSRの出力信号SV1は、水平信号線HS1とHS2を選択する垂直走査線VL1とVL2に出力される。同様に、信号FBによって制御されるスイッチMOSFETQ23とQ25によって、垂直シフトレジスタVSRの出力信号SV2は、水平

信号線HS3とHS4を同時選択するよう垂直走査線VL3とVL4に出力される。以下同様な順序の組み合わせからなる一対の水平信号線の選択信号が形成される。

上記のようなインタレースゲート回路ITCと、次の駆動回路DVとによって、以下に説明するような複数種類の水平走査動作が実現される。

上記1つの垂直走査線VL1に対応されたインタレースゲート回路ITCからの出力信号は、スイッチMOSFETQ14とQ15のゲートに供給される。これらのスイッチMOSFETQ14とQ15の共通化されたドレイン電極は、端子V3に結合される。上記スイッチMOSFETQ14は、端子V3から供給される信号を上記垂直走査線VL1に供給する。また、スイッチMOSFETQ15は、上記端子V3から供給される信号を水平信号線HS1を出力線VSに結合させるスイッチMOSFETQ8のゲートに供給される。また、出力信号のハイレベルがスイッチMOSFETQ14、Q15によるしきい値電圧分だけ低

下してしまうのを防止するため、特に制限されないが、MOSFETQ14のゲートと、MOSFETQ15の出力側(ソース側)との間にキャパシタC1が設けられる。これによって、インタレースゲート回路ITCからの出力信号がハイレベルにされると、端子V3の電位をロウレベルにしておいてキャパシタC1にプリチャージを行う。この後、端子V3の電位をハイレベルにすると、キャパシタC1によるブートストラップ作用によって上記MOSFETQ14及びQ15のゲート電圧を昇圧させることができる。

上記垂直走査線VL1に隣接する垂直走査線VL2に対応されたインタレースゲート回路ITCからの出力信号は、スイッチMOSFETQ16とQ17のゲートに供給される。これらのスイッチMOSFETQ16とQ17の共通化されたドレイン電極は、端子V4に結合される。上記スイッチMOSFETQ16は、端子V4から供給される信号を上記垂直走査線VL2に供給する。スイッチMOSFETQ17は、上記端子V4から

供給される信号を水平信号線HS2を出力線VSに結合させるスイッチMOSFETQ9のゲートに供給される。出力信号のハイレベルがスイッチMOSFETQ16、Q17によるしきい値電圧分だけ低下してしまうのを防止するため、特に制限されないが、MOSFETQ16のゲートとMOSFETQ17の出力側(ソース側)との間にキャパシタC2が設けられる。これによって、上記同様なタイミングで端子V4の電位を変化させることによりキャパシタC2によるブートストラップ作用によって上記MOSFETQ16及びQ17のゲート電圧を昇圧させることができる。

上記端子V3は、奇数番目の垂直走査線(水平信号線)に対応した駆動用のスイッチMOSFETに対して共通に設けられ、端子V4は偶数番目の垂直走査線(水平信号線)に対して共通に設けられる。

以上のことから理解されるように、端子V3とV4に択一的にタイミング信号を供給すること及び上記インタレースゲート回路ITCによる2行

同時選択動作との組み合わせによって、インタレースモードによる読み出し動作が可能になる。例えば、端子F Aがハイレベルにされる奇数フィールドのとき、端子V 4をロウレベルにしておいて、端子V 3に上記垂直シフトレジスタV S Rの動作と同期したタイミング信号を供給することによって、垂直走査線（水平信号線）をV L 1（H S 1）、V L 3（H S 3）の順に選択することができる。また、端子F Bがハイレベルにされる偶数フィールドのとき、端子V 3をロウレベルにしておいて、端子V 4に上記垂直シフトレジスタV S Rの動作と同期したタイミング信号を供給することによって、垂直走査線（水平信号線）をV L 2（H S 2）、V L 4（H S 4）の順に選択することができる。

一方、上記端子V 3とV 4を同時に上記同様にハイレベルにすれば、上記インタレースゲート回路I T Gからの出力信号に応じて、2行同時走査を行うことができる。この場合、上記のように2つのフィールド信号F AとF Bによる2つの画面

毎に出力される2つの行の組み合わせが1行分上下にシフトされることにより、空間的重心の上下シフト、言い換えるならば、等価的なインタレースモードが実現される。

さらに、例えば端子F Bのみをハイレベルにして、1つの垂直走査タイミングで水平シフトレジスタH S Rを2回動作させて、それに同期して端子V 3とV 4をハイレベルにさせることによって、V L 1、V L 2、V L 3、V L 4の順のようにノンインタレースモードでの選択動作を実現できる。この場合、より高画質とするために、水平シフトレジスタH S R及び垂直シフトレジスタV S Rに供給されるクロックが2倍の周波数にされることが望ましい。すなわち、端子H 1とH 2及び端子V 1とV 2から水平シフトレジスタH S R及び垂直シフトレジスタV S Rに供給されるクロック信号の周波数を2倍の高い周波数にすることによって、1秒間に60枚の画像をノンインタレース方式により読み出すことができる。なお、端子H I N及びV I Nは、上記シフトレジスタH S R、V

S Rによってそれぞれシフトされる入力信号を供給する端子であり、入力信号が供給された時点からシフト動作が開始される。このため、上記インタレースゲート回路I T G及び入力端子V 3、V 4に供給される入力信号の組み合わせによって、上記2行同時読み出し、インタレース走査、ノンインタレース走査等を行う場合には、出力信号の垂直方向の上下関係が逆転せぬよう、上記シフトレジスタV S Rの入力信号の供給の際に、タイミング的な配慮が必要である。

また、上記各垂直走査線V L 1及びそれに対応したスイッチM O S F E T Q 8のゲートと回路の接地電位点との間には、リセット用M O S F E T Q 1 0とQ 1 1が設けられる。これらのリセット用M O S F E T Q 1 0とQ 1 1は、他の垂直走査線及びスイッチM O S F E Tに対応して設けられるリセット用M O S F E Tと共に端子V 2から供給されるクロック信号を受けて、上記選択状態の垂直走査線及びスイッチM O S F E Tのゲート電位を高速にロウレベルに引き抜くものである。

この実施例では、前述のように感度可変機能を付加するために、感度制御用の垂直シフトレジスタV S R E、インタレースゲート回路I T G E及び駆動回路D V Eが設けられる。これらの感度制御用の各回路は、特に制限されないが、上記画素アレイP Dに対して、左側に配置される。これらの垂直シフトレジスタV S R E、インタレースゲート回路I T G E及び駆動回路D V Eは、上記読み出し用の垂直シフトレジスタV S R、インタレースゲート回路I T G及び駆動回路D Vと同様な回路により構成される。端子V 1 EないしV 4 E及びV I N E並びにF A E、A B Eからそれぞれ上記同様なタイミング信号が供給される。この場合、上記読み出し用の垂直シフトレジスタV S R Eと上記感度可変用の垂直シフトレジスタV S R Eとを同期したタイミングでのシフト動作を行わせるため、特に制限されないが、端子V 1 EとV 1及びV 2 EとV 2には、同じクロック信号が供給される。したがって、上記端子V 1 EとV 1及びV 2 EとV 2とは、内部回路により共通化するもので

あってもよい。上記のように独自の端子V1E及びV2Eを設けた理由は、この固体撮像装置を手動絞りや従来の機械的絞り機能を持つテレビジョンカメラに適用可能にするためのものである。このように感度可変動作を行わない場合、上記端子V1E及びV2Eを回路の接地電位のようなロウレベルにすること等によって、上記垂直シフトレジスタVSREの無駄な消費電力の発生をおさえるよう配慮されている。

次に、この実施例の固体撮像装置における感度制御動作を説明する。

説明を簡単にするために、上記ノンインタレースモードによる垂直走査動作を例にして、以下説明する。例えば、感度制御用の垂直シフトレジスタVSRE、インタレースゲート回路ITGE及び駆動回路DVRによって、読み出し用の垂直シフトレジスタVSR、インタレースゲート回路ITG及び駆動回路DVによる第1行目（垂直走査線VL1、水平信号線HS1）の読み出しに並行して、第4行目（垂直走査線VL4、水平信号線

HS4）の選択動作を行わせる。これによって、水平シフトレジスタHSRにより形成される水平走査線HL1、HL2等の選択動作に同期して、出力信号線VSには第1行目におけるフォトダイオードD1、D2等に蓄積された光信号が時系列的に読み出される。この読み出し動作は、端子Sから負荷抵抗を介した上記光信号に対応した電流の供給によって行われ、読み出し動作と同時にプリチャージ（リセット）動作が行われる。同様な動作が、第4行目におけるフォトダイオードにおいても行われる。この場合、上記のような感度可変用の走査回路（VSRE、ITGE、DVR）によって、第4行目の読み出し動作は、ダミー出力線DVSに対して行われる。感度制御動作のみを行う場合、端子RVには端子Sと同じバイアス電圧が与えられている。これによって、第4行目の各画素セルに既に蓄積された光信号の掃き出し、言い換えるならば、リセット動作が行われる。

したがって、上記垂直走査動作によって、読み出し用の垂直シフトレジスタVSR、インタレー

スゲート回路ITG及び駆動回路DVによる第4行目（垂直走査線VL4、水平信号線HS4）の読み出し動作は、上記第1行ないし第3行の読み出し動作の後に行われるから、第4行目に配置される画素セルのフォトダイオードの蓄積時間は、3行分の画素セルの読み出し時間となる。

上記に代えて、感度制御用の垂直シフトレジスタVSRE、インタレースゲート回路ITGE及び駆動回路DVRによって、読み出し用の垂直シフトレジスタVSR、インタレースゲート回路ITG及び駆動回路DVによる第1行目（垂直走査線VL1、水平信号線HS1）の読み出しに並行して、第2行目（垂直走査線VL2、水平信号線HS2）の選択動作を行わせる。これによって、水平シフトレジスタHSRにより形成される水平走査線HL1、HL2等の選択動作に同期して、出力信号線VSには第1行目におけるフォトダイオードD1、D2等に蓄積された光信号が時系列的に読み出される。この読み出し動作は、端子Sから負荷抵抗を介した上記光信号に対応した電流

の供給によって行われ、読み出し動作と同時にプリチャージ（リセット）動作が行われる。同様な動作が、第2行目におけるフォトダイオードD3、D4等においても行われる。これによって、上記第1行目の読み出し動作と並行して第2行目の各画素セルに既に蓄積された光信号の掃き出し動作が行われる。したがって、上記垂直走査動作によって、読み出し用の垂直シフトレジスタVSR、インタレースゲート回路ITG及び駆動回路DVによる第2行目（垂直走査線VL2、水平信号線HS2）の読み出し動作は、上記第1行の読み出し動作の後に行われるから、第2行目に配置される画素セルのフォトダイオードの蓄積時間は、1行分の画素セルの読み出し時間となる。これによって、上記の場合に比べて、フォトダイオードの実質的な蓄積時間を1/3に減少させること、言い換えるならば、感度を1/3に低くできる。

上述のように、感度制御用の走査回路によって行われる先行する垂直走査動作によってその行の画素セルがリセットされるから、そのリセット動

作から上記読み出し用の走査回路による実際の読み出しが行われるまでの時間が、フォトダイオードに対する蓄積時間とされる。したがって、525行からなる画素アレイにあっては、上記両垂直走査回路による異なるアドレス指定と共通の水平走査回路による画素セルの選択動作によって、1行分の読み出し時間を単位（最小）として最大525までの多段階にわたる蓄積時間、言い換えるならば、525段階にわたる感度の設定を行うことができる。ただし、受光面照度の変化が、上記1画面を構成する走査時間に対して無視でき、実質的に一定の光がフォトダイオードに入射しているものとする。なお、最大感度（525）は、上記感度制御用の走査回路は非動作状態のときに得られる。

上記のような感度制御動作にあっては、画素信号の読み出しと先行する垂直走査動作によるリセット動作とが並行して行われる。このため、リセット動作のための画素信号が、基板等を介した容量結合によって読み出し信号に混合してしまう場

合が生じる。このような容量結合が生じると、読み出し画素信号にはテレビジョン受像機におけるゴーストのようなノイズが生じて画質を劣化させる虞れがある。

そこで、この実施例では、特に制限されないが、上記水平走査線HL1、HL2等に対して、ダイオード接続されたMOSFET Q30、Q31等を介して外部端子SPから強制的に全水平走査線を選択状態にさせる機能を付加する。すなわち、上記端子SPをハイレベルにすると、水平シフトレジスタHSRの動作に無関係に、ダイオード形態のMOSFET Q30、Q31等が全てオン状態になって全水平走査線HL1、HL2等にハイレベルを供給して選択状態にさせることができる。また、上記ダイオード形態のMOSFET Q30、Q31等のような一方向性素子を介して上記選択レベルを供給するものであるため、上記端子SPをロウレベルにすれば、上記MOSFET Q30、Q31等はオフ状態を維持する。これによって、上記のような強制的な同時選択回路を設けても、

水平シフトレジスタHSRのシフト動作に従った水平走査線HL1、HL2等が時系列的に選択レベルにされる動作の妨げになることはない。なお、水平シフトレジスタHSRが、ダイナミック型回路により構成される等によって、上記のような強制的な水平走査線HL1、HL2等の選択レベルによってそのシフト動作に悪影響が生じるなら、上記選択レベルが水平シフトレジスタHSRの内部に伝わらないようなスイッチ回路等が付加される。

上記水平走査線HL1、HL2等の同時選択動作を後述するような水平帰線期間により行われるとともに、上記先行する垂直走査を開始させる。これにより、上記リセットさせるべき行の全画素の信号を予め強制的にリセットさせることができる。したがって、上記水平シフトレジスタHSRによる水平走査線の選択動作に伴い画素信号の読み出しにおいて、先行する行からは実質的に画素信号が出力されない。これによって、上記基板等を介した容量結合が存在しても読み出し信号には

上述のようなノイズが現れない。

第1図には、上記固体撮像装置を用いた、自動絞り機能を持つ撮像装置の一実施例のブロック図が示されている。

固体撮像装置MIDは、上記第1図に示したような感度可変機能を持つものである。この固体撮像装置MIDから出力される読み出し信号は、プリアンプによって増幅される。この増幅信号Voutは、一方において図示しない信号処理回路に供給され、例えばテレビジョン用の画素信号とされる。上記増幅信号Voutは、他方において自動絞り制御用に利用される。すなわち、上記増幅信号Voutは、ロウパスフィルタLPFと検波回路DETからなる平滑回路により平均的な直流レベルに変換される。この直流レベルVDは、電圧比較回路COMPの一方の入力(+)に供給される。上記電圧比較回路COMPの他方の入力(-)には、感度設定用の基準電圧Vrefが供給される。上記電圧比較回路COMPにより形成される出力信号は、感度制御回路を構成するアップ/ダウン

カウンタ回路COUNTのアップ/ダウン制御端子U/Dに供給される。上記カウンタ回路COUNTの計数出力信号は、制御回路CONTに供給される。制御回路CONTは、上記計数出力信号を解読するとともに、固体撮像装置MIDに前述のような走査タイミングを制御するクロック信号を供給する駆動回路からの信号VIN、及びVI等を受けて、固体撮像装置MIDの読み出しタイミングを参照して、それに実質的に先行する信号VINEを形成する。すなわち、上記タイミング信号VINを基準にして、必要な絞り量(感度)に対応した先行するタイミング信号VINEを形成するものであるため、実際には上記タイミング信号VINに遅れて信号VINEが形成される。しかしながら、繰り返し走査が行われるため、上記信号VINEからみると、次の画面の走査では信号VINが遅れるものとされる。すなわち、タイミング信号VINに対して1行分遅れてタイミング信号VINEが発生すると、次の走査画面では、タイミング信号VINEは、タイミング信号

VINに対して524行分先行するタイミング信号とみなされる。上記タイミング信号VIN及びVINEによって、各垂直シフトレジスタVSR及びVSREのシフト動作が開始されるから、前述のような感度可変動作が行われる。この実施例では、上記の感度設定動作は、1フレームに1回の割合で行われる。このため、上記駆動回路から供給されるタイミング信号CKが利用される。すなわち、このタイミング信号は、例えば、読み出し動作のための奇数フィールドと偶数フィールドとの間の垂直同期タイミング信号とされる。これにより、上記カウンタ回路COUNTは、上記タイミング信号を入力パルスとして電圧比較出力COMPの出力に応じたアップ又はダウンの1ステップの計数動作を行うものである。それ故、制御回路CONTによる実質的な感度設定動作は、1フレームに1回の割合で行われるものとなる。

このように、1フレームに1回の割合で、感度設定動作を行う理由は、下記の通りである。

例えば、奇数/偶数の各フィールド毎に感度設

定動作を行うことも可能である。しかしながら、このようにすると、第4図に示すように適正制御量付近で過剰な感度設定が行われることによって、フリッカが生じ易くなる。例えば、電圧比較回路COMPの出力信号のロウレベルによって、フィールドFA1の開始時において感度制御量6に高くする。この感度制御結果は次のフィールドFB1で得られる。それ故、フィールドFA1では前に設定された感度制御量5に従った出力平滑レベルVDが得られる。次のフィールドFB1の開始時には、上記感度制御量5に従ったフィールドFA1での平滑出力レベルVDから電圧比較回路COMPの出力がハイレベルとなるため、感度制御量を単位制御量だけ低くした制御量5を設定する。しかしながら、このフィールドFB1の平滑出力レベルVDは感度制御量6に基づいた高いレベルにされる。

次のフレームにおけるフィールドFA2では、前記同様に感度制御量5に対応したフィールドFB1での平滑出力レベルVDが基準電圧Vrefに

対して高くされるため、更に単位制御量だけ低くした感度制御量4を設定する。また、次のフィールドFB2では、前記同様に感度制御量4に対応したフィールドFA2の平滑出力レベルVDが基準電圧Vrefに対して高くされるため、更に単位制御量だけ低くした感度制御量3を設定する。このように、フィールドFB2での平滑出力レベルVDは、フィールドFA2での感度設定により、既に基準電圧Vrefより低くされているにも係わらず、フィールドFB1での平滑出力レベルVDと基準電圧Vrefとの比較出力から上記のように過剰に感度を低くするように動作してしまう。

次のフレームにおけるフィールドFA3では、前記同様に感度制御量4に対応したフィールドFB2での平滑出力レベルVDが基準電圧Vrefより低くされるため、逆に単位制御量だけ高くした感度制御量4を設定する。また、次のフィールドFB3では、前記同様に感度制御量3に対応したフィールドFA3の平滑出力レベルVDが基準電圧Vrefに対して更に低くされるため、更に単位

制御量だけ高くした感度制御量5を設定する。そして、前記同様に次のフィールド(フレーム)F A 4では、更に感度制御量を6のように高く設定してしまうものとなる。

この結果、適正制御量が4と5の間るとき、過剰制御量6や3が設定される。したがって、出力信号V_{out}(平滑出力レベルV_D)としては、感度制御量3~6に回答してレベル変化が生じてフリッカの原因になる虞れがある。

これに対して、この実施例のように、1フレームに1回だけ感度設定を行う方式では、第2図に示すように、感度制御量5の設定により平滑出力レベルV_Dが基準電圧V_{ref}に対して高くされると、それを受けて単位制御量だけ感度を低くして感度制御量4を設定する。この感度制御量4の設定は、1フレーム間(奇数フレームと偶数フレーム)維持される。それ故、次のフレームでの感度設定動作では、感度制御量4に対応した平滑出力レベルV_Dと基準電圧V_{ref}との判定結果(COMP出力のロウレベル)から、単位感度制御量だ

け高くした感度制御量5を設定する。この結果、例えば、上記のように感度制御量4と5の間に基準電圧V_{ref}が存在するという適正制御量付近においては、設定される感度制御量は4と5の繰り返にすることができる。したがって、出力信号V_{out}(平滑出力レベルV_D)としては、単位感度制御量に対応した微小レベルしか変化しないからフリッカが生じることはない。

また、この実施例の撮像装置では、感度可変機能が固体撮像装置M I Dに内蔵されていること、及びその読み出し出力信号のレベルを判定して、電氣的に上記感度を制御するものであるため、上記感度制御回路も半導体集積回路等により構成できるから、装置の小型軽量化及び高耐久性を図ることができる。

上記の実施例から得られる作用効果は、下記の通りである。

(1)二次元状に配列された複数個の画素セルの信号をインタレース方式で時系列的に出力させる第1の走査回路と、上記第1の走査回路による垂直走

査方向の選択アドレスと独立したアドレスによりインタレース方式での垂直走査方向の選択動作を行う第2の走査回路とを含む固体撮像装置を用いて、上記固体撮像装置の読み出し信号と所定の絞り量に対応した基準信号を参照して上記第2走査回路のアドレス指定情報形成するという感度制御動作を1ないし複数フレームに1回の割合で行うことにより、感度制御量に応じた出力信号の判定結果を次の感度制御動作に反映させることができるから、感度制御が過剰に行われることを防止できる結果、安定した高精度の電子式自動絞り動作を実現できるという効果が得られる。

(2)上記(1)により、上記感度制御回路を半導体集積回路装置により構成する場合、回路の簡素化が図られるという効果が得られる。

(3)上記(2)により、レンズに機械的な絞り機構を用いることなく、半導体集積回路化された電子回路による自動絞り機構を設けることができる。これによって、自動絞り機能を持つNTSC方式に対応したテレビジョンカメラの小型軽量化を図ること

とができるという効果が得られる。

(4)感度動作を画面の1枚(1フレーム)毎に高速に変化させることができるから、応答性の高い自動絞り制御が可能になるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいふまでもない。例えば、感度設定動作は、1フレームに1回の割合で行うものの他、2以上の複数フレームに1回の割合で行うものとしてもよい。感度設定回路は、自動絞り量を設定するため、読み出し信号を処理するアナログ回路の構成は、上記単純に平均値を求めるものの他、ピーク値を求めてそれとの混合によって絞り量を設定するもの、又は平滑出力レベルをデジタル化して、デジタル基準信号との差を計算するもの等種々の実施形態を採ることができる。この発明に係る撮像装置に用いられる固体撮像装置は、上記MOS型固体撮像装置の他、例えばCCD(電荷移送素子)を用いた

ものにも通用できる。すなわち、読み出しが行われる行に対して先行する行におけるフォトダイオードの電荷を掃き出させるリセット回路を付加し、このリセット回路を感度設定用の走査回路により動作状態にして感度可変機能が付加されるものであってもよい。

この発明は、前記のように読み出しが行われる行に対して先行する行の信号を掃き出すことによって感度可変にされた固定撮像装置を用いた撮像装置に広く利用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、二次元状に配列された複数の画素セルの信号をインタレース方式で時系列的に出力させる第1の走査回路と、上記第1の走査回路による垂直走査方向の選択アドレスと独立したアドレスによりインタレース方式での垂直走査方向の選択動作を行う第2の走査回路とを含む固体撮像装置を用いて、上記固体撮像装置

の読み出し信号と所定の絞量に対応した基準信号を参照して上記第2走査回路のアドレス指定情報を形成するという感度制御動作を1ないし複数フレームに1回の割合で行うことにより、感度制御量に応じた出力信号の判定結果を次の感度制御動作に反映させることができるから、感度制御が適割に行われることを防止できる結果、安定した高精度の電子式自動絞り動作を実現できる。

4. 図面の簡単な説明

第1図は、この発明に係る自動絞り機能を持つ撮像装置の一実施例を示すブロック図、

第2図は、その感度設定動作を説明するためのタイミング図、

第3図は、この発明に用いられる固体撮像装置の一実施例を示す要図回路図、

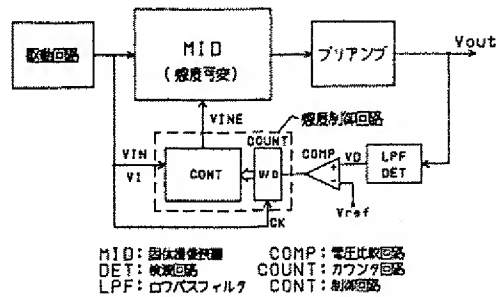
第4図は、この発明に先立って考えられた感度設定動作を説明するためのタイミング図である。

MID・・固体撮像装置、LPP・・ローパスフィルタ、DET・・検波回路、COMP・・電圧比較回路、COUNT・・カウンタ回路、CO

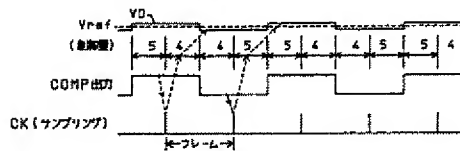
NT・・制御回路、PD・・画素アレイ、VSR・・読み出し用垂直シフトレジスタ、ITG・・読み出し用インタレースゲート回路、DV・・読み出し用駆動回路、VSRE・・感度設定用垂直シフトレジスタ、ITGE・・感度設定用インタレースゲート回路、DVE・・感度設定用駆動回路、HSR・・水平シフトレジスタ、

代理人弁理士 小川 勝男

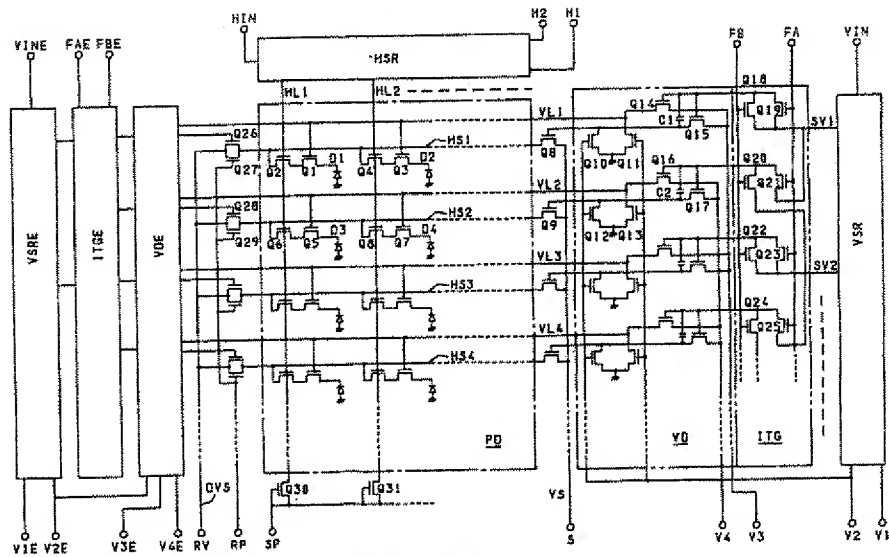
第1図



第2図



第 3 図



VSR: 検出し用垂直シフトレジスタ
 ITG: 検出し用インテグレーション回路
 VD: 検出し用電圧分圧回路
 VSR: 検出安定用垂直シフトレジスタ
 ITG: 検出安定用インテグレーション回路
 VDE: 検出安定用電圧分圧回路
 HSR: 水平シフトレジスタ
 PD: 番来アレイ

第 4 図

